

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293323

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G02F 1/136

G09F 9/30

(21)Application number : 09-103709

(71)Applicant : SEIKO EPSON CORP

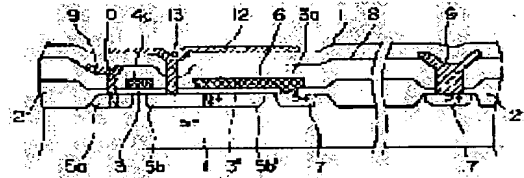
(22)Date of filing : 21.04.1997

(72)Inventor : KAWACHI YUJI

(54) LIQUID CRYSTAL PANEL, SUBSTRATE THEREFOR, ELECTRONIC EQUIPMENT AND PROJECTION DISPLAY DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To eliminate the need of wiring for feeding controlled potential to one of electrodes of retention volume by electrically connecting the conductive layer of a semiconductor substrate to a feed layer for giving the controlled potential outside a picture element zone.

SOLUTION: A source zone 5a and a drain zone 5b made of a high impurity introduction layer are formed on substrate surface at both sides of a gate electrode 4a, thereby forming MOSFET. Also, a contact zone 7 of a P-type impurity introduction layer of high concentration is formed on the substrate surface in such a state as corresponding to a part of a conductive layer 6, and one end of the conductive layer 6 is connected to the contact zone 7 at an opening 3a formed on an insulation film 3' so as to correspond to the contact zone 7. A feed layer 19 to apply controlled potential outside a picture element zone and a P-type contact zone 17 of high impurity concentration for electrically connecting the feed layer 19 are formed on a semiconductor substrate 1. As a result, controlled potential for giving inverse bias to a P-N junction is applied, and substrate potential given from the feed layer 19 is applied to the conductive layer 6, thereby fixing the potential.

**LEGAL STATUS**

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3663825

[Date of registration] 08.04.2005

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] While being constituted so that a switching element may be respectively formed corresponding to each reflector while a reflector is formed in the shape of a matrix on a semi-conductor substrate, and an electrical potential difference may be impressed to said reflector through said switching element. In the substrate for liquid crystal panels with which it comes to prepare the retention volume by which a charge is accumulated at the time of ON of the above-mentioned switching element for every pixel. The semiconductor region which constitutes the above-mentioned switching element, and the semiconductor region which serves as one electrode of retention volume continuously and where high impurity concentration is comparatively high are formed in the semi-conductor substrate front face of the lower part of the above-mentioned reflector. The conductive layer which serves as an electrode of another side of the above-mentioned retention volume through an insulator layer is formed above this semiconductor region for every pixel. Said conductive layer is a substrate for liquid crystal panels characterized by being constituted so that it may connect with the contact field of high high impurity concentration formed in the front face of the above-mentioned semi-conductor substrate and the same potential as the above-mentioned semi-conductor substrate may be impressed to the above-mentioned conductive layer through this contact field.

[Claim 2] The insulator layer which the above-mentioned switching element is an insulated gate field effect transistor, and constitutes the dielectric of the above-mentioned retention volume is a substrate for liquid crystal panels according to claim 1 characterized by being the gate dielectric film formed between the gate electrode of the above-mentioned transistor, and a channel field, and the insulator layer formed in coincidence.

[Claim 3] The conductive layer which the above-mentioned switching element is an insulated gate field effect transistor, and constitutes the electrode of another side of the above-mentioned retention volume is a substrate

for liquid crystal panels according to claim 1 or 2 characterized by being the conductive layer formed in the gate electrode and coincidence of the above-mentioned transistor.

[Claim 4] The semiconductor region which the above-mentioned switching element is an insulated gate field effect transistor, and constitutes one electrode of the above-mentioned retention volume is a substrate for liquid crystal panels according to claim 1, 2, or 3 characterized by being an impurity installation layer used as the drain of the above-mentioned transistor, or a source field, and the impurity installation layer formed in coincidence.

[Claim 5] It is the substrate for liquid crystal panels according to claim 1, 2, 3, or 4 characterized by for the above-mentioned switching element being a complementary transistor which comes to form a P channel mold transistor and an N channel mold transistor in one pixel, and the semiconductor regions which constitute one electrode of the above-mentioned retention volume being an impurity installation layer used as the drain of one transistor of the above-mentioned complementary transistors, or a source field, and an impurity installation layer formed in coincidence.

[Claim 6] The liquid crystal panel which claims 1-5 are and is worn, and is characterized by enclosing liquid crystal in the gap of the above-mentioned substrate for liquid crystal panels, and the above-mentioned transparence substrate while the substrate for liquid crystal panels given in ** and the transparence substrate by the side of the incidence which has a counterelectrode set suitable spacing and are arranged.

[Claim 7] Electronic equipment characterized by having the liquid crystal panel according to claim 6 as a display.

[Claim 8] The projection mold display characterized by having the projection lens which condenses and projects the light modulated with the reflective mold liquid crystal panel and this liquid crystal panel of a configuration of modulating the light from the light source and said light source according to claim 5.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is used for the active-matrix mold liquid crystal panel which switches a pixel electrode to a liquid crystal panel pan about a reflective mold liquid crystal panel by the insulated gate field effect transistor (henceforth MOSFET) formed on the semi-conductor substrate, and relates to a suitable technique.

[0002]

[Description of the Prior Art] Conventionally, the liquid crystal panel of the structure which formed the TFT array which used an amorphous silicon or polish recon on the glass substrate as a transparency mold active-matrix liquid crystal panel used for the light valve of a projection mold indicating equipment is put in practical use.

[0003]

[Problem(s) to be Solved by the Invention] If it is shown in a projection mold display like the projector which incorporated this as a light valve since the active-matrix liquid crystal panel using Above TFT has comparatively large device size for example, it has the fault that the whole equipment will be enlarged. Moreover, in the case of the transparency mold liquid crystal panel, it has the fatal defect in which a numerical aperture becomes small as the resolution of a panel goes up with XGA and SXGA, since the field of TFT established in each pixel does not turn into a transparency field of the pixel which makes light penetrate.

[0004] Then, compared with the transparency mold active-matrix liquid crystal panel, the reflective mold active-matrix liquid crystal panel which switched the pixel electrode which turns into a reflector by the MOSFET array formed on the semi-conductor substrate is proposed as a liquid crystal panel with small size.

[0005] However, in the liquid crystal panel which uses a semi-conductor as a substrate, since the size of each pixel also becomes small according to the increment in panel resolution with contraction of device size, there is a fault that sufficient capacity (100fF extent is the need) to hold an electrical potential difference required for the drive of liquid crystal is not obtained, only with a pixel electrode. Then, this invention person examined how to make the retention volume which uses gate dielectric film as a dielectric to each pixel.

[0006] However, although being fixed to constant potential was desirable as for one electrode of retention volume, it found out that reservation of the layout of wiring (a capacity line is called hereafter) for supplying such constant potential to each retention volume and the formation location of a contact hole was very difficult.

[0007] The example of the layout approach of the capacity line for supplying constant potential is shown in one [the structure of the retention volume in the reflective mold liquid crystal panel which uses as a substrate the semi-conductor which this invention person examined in advance of this invention to drawing 10 and drawing 11 , and] electrode of this retention volume. Drawing 11 is A-A' in drawing 10 , and the sectional view

having shown the discontinuity cross section of B-B' continuously. In drawing 10 R> 0, the data line which supplies the signal which should impress 4a to the gate electrode of MOSFET for switching at MOSFET for switching, and should impress 9 to a pixel, the reflector with which 12 consists of aluminum etc., and 6 are the conductive layers used as one electrode of retention volume.

[0008] In the example of drawing 10 , diffusion layer 5b as a drain field where a reflector 12 is connected is formed widely, and the conductive layer 6 as one electrode of retention volume is formed by the same polish recon layer for example, as a gate electrode etc. through gate dielectric film 3 the electrode of another side of retention volume, nothing, and on it. And as an approach of giving constant potential to the conductive layer 6 as one electrode of the above-mentioned retention volume, as shown in drawing 11 , it connects with the conductive layer as an electrode of the retention volume of the pixel which adjoins by the capacity line 16 which consists of the same polish recon layer as the above-mentioned conductive layer 6, and the above-mentioned capacity line 16 is connected to wiring which supplies constant potential like touch-down potential on the outside of a pixel field.

[0009] However, if it is in a method as shown in drawing 10 and drawing 11 , since a capacity line is formed between the conductive layers as a retention volume electrode of each pixel, there is un-arranging [that the irregularity on the front face of an insulator layer becomes large, and flattening of a reflector becomes difficult]. Moreover, since the capacity line 16 and the data line 9 cross, while the parasitic capacitance of the data line increases, a noise goes into retention volume through the coupling capacity between the capacity line 16 and the data line 9, and there is a trouble of potential stopping stabilizing.

[0010] The purpose of this invention is in the reflective mold liquid crystal panel which uses a semi-conductor as a substrate to offer the technique which makes unnecessary wiring for supplying constant potential to one electrode of retention volume, and enables improvement in the yield.

[0011] Other purposes of this invention are in the reflective mold liquid crystal panel which uses a semi-conductor as a substrate to offer the technique which makes flattening of a reflector easy.

[0012] Other purposes of this invention are to offer the technique in which the constant voltage impressed to retention volume can be stabilized.

[0013] Other purposes of this invention are to offer the technique with which required retention

volume was obtained, without making the routing counter of a process increase.

[0014]

[Means for Solving the Problem] In order that this invention may attain the above-mentioned purpose, extended formation of the semiconductor region used as the active region (drain field) of the component (MOSFET) which switches a pixel electrode to the semi-conductor substrate front face of the lower part of the pixel electrode used as a reflector where high impurity concentration is comparatively high is carried out. Nothing [of retention volume / one / electrode and nothing], Form the conductive layer which serves as an electrode of another side of retention volume through an insulator layer above this semiconductor region, and while making it connect with a semi-conductor substrate electrically through the high concentration semiconductor region of the same conductivity type as this which was formed in the front face of a semi-conductor substrate, said conductive layer It was made to connect with the electric supply layer which gives potential to the above-mentioned semi-conductor substrate on the outside of a pixel field electrically.

[0015] While according to the above-mentioned means the capacity line for supplying potential to one electrode of retention volume becomes unnecessary, the structure of a pixel becomes easy and the yield improves by impressing substrate potential to one electrode of retention volume, the irregularity on the front face of an insulator layer becomes small, and flattening of a reflector becomes easy. Moreover, while it becomes unnecessary to form the capacity line which intersects the data line which supplies the signal impressed to each pixel electrode and being able to reduce the parasitic capacitance of the data line, the noise to retention volume can be reduced and potential can be stabilized.

[0016] in addition, the gate dielectric film with which the insulator layer which constitutes the dielectric of the above-mentioned retention volume is prepared between the gate electrode of MOSFET, and a channel field, simultaneously the insulator layer formed -- moreover, the conductive layer which constitutes one electrode of the above-mentioned retention volume is good to use the gate electrode, simultaneously the conductive layer formed of MOSFET, respectively.

[0017] Furthermore, be easy to let the above-mentioned switching element be the complementary transistor which comes to form a P channel mold transistor and an N channel mold transistor in one pixel.

[0018]

[Embodiment of the Invention] Hereafter, the

suitable example of this invention is explained based on a drawing.

[0019] Drawing 1 and drawing 2 show the 1st example of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention. In addition, the sectional view and flat-surface layout of a 1-pixel part are shown in drawing 1 and drawing 2 among the pixels arranged in the shape of a matrix. Drawing 1 shows the cross section which met the I-I line in drawing 2.

[0020] In drawing 1, a P-type semiconductor substrate [like single crystal silicon] (a P type well is sufficient) whose 1 is, and 2 are the field oxide for isolation (the so-called LOCOS) formed in the front face of this semi-conductor substrate 1. This field oxide 2 is formed in thickness like 5000-7000Å of selection thermal oxidation.

[0021] Opening is formed in the above-mentioned field oxide 2 for every pixel, gate oxide (insulator layer) 3 is formed in the substrate front face inside this opening, gate electrode 4a which consists of polish recon or metal silicide is formed on this gate dielectric film 3, the source and the drain fields 5a and 5b which consist of an N type impurity installation layer of high high impurity concentration are formed in the substrate front face of the both sides of this gate electrode 4a, and MOSFET is constituted. and in this example, among the above-mentioned source and the drain fields 5a and 5b, drain field 5b is extended inside a pixel field along a substrate front face, and the conductive layer 6 used as one electrode of retention volume is formed above this extension 5b' through gate dielectric film 3, simultaneously formed insulator layer 3'.

[0022] Although especially this conductive layer 6 is not limited, it is formed from the same polish recon as the above-mentioned gate electrode 4a, or metal silicide. As shown in drawing 2, the above-mentioned gate electrode 4a is formed so that it may project from the scanning line 4 currently arranged in the one direction (pixel line writing direction) of a substrate.

[0023] Moreover, corresponding to a part of above-mentioned conductive layer 6, the contact field 7 which consists of a high-concentration P type impurity installation layer for aiming at ohmic contact is formed in a substrate front face, and the end of the above-mentioned conductive layer 6 is connected to the contact field 7 in opening 3a formed in above-mentioned insulator layer 3' corresponding to this contact field 7. On the above-mentioned semi-conductor substrate 1, the P type contact field 17 of high high impurity concentration where the electric supply layer 19 which gives constant potential (it is touch-down potential in the case of a P type substrate / P type

well) on the outside of a pixel field, and this electric supply layer 19 are connected electrically is formed. The constant potential for giving a reverse bias is impressed to the PN junction, and the substrate potential given from the above-mentioned electric supply layer 19 through the above-mentioned contact field 7 is impressed to the above-mentioned conductive layer 6, and it is constituted so that potential may be fixed. The above-mentioned electric supply layer 19 is formed of the same aluminum layer as the above-mentioned data line 9 etc.

[0024] The above-mentioned insulator layer 3 and 3' are formed in the inside semi-conductor substrate front face of the above-mentioned opening of thermal oxidation at thickness like 400-800Å. Above-mentioned gate electrode 4a and a conductive layer 6 are made into the structure which formed the polish recon layer in thickness like 1000-2000Å, and formed Mo or the silicide layer of a refractory metal like W on it at thickness like 1000-3000Å. The above-mentioned source field 5a is formed in self align by injecting an N type impurity into a substrate front face by ion implantation by using the above-mentioned gate electrode 4a as a mask.

[0025] Moreover, in this example, above-mentioned N type drain field 5b and the P type contact field 7 are doping processings by the ion implantation of dedication, and heat treatment, and before they form a gate electrode, respectively, they are formed with ion-implantation. The desirable high impurity concentration of the source and the drain fields 5a and 5b of $1 \times 10^{20}/\text{cm}^3$ and the P type contact field 7 is desirable. High impurity concentration is $1 \times 10^{18}-10^{20}/\text{cm}^3$. In addition, the above-mentioned N type drain field You may make it form 5b and the P type contact field 7 in the impurity installation layer and coincidence used as the source of MOSFET which constitutes the below-mentioned circumference circuit formed in the outside of a pixel field, and a drain field.

[0026] If it applies on field oxide 2 from above-mentioned gate electrode 4a and a conductive layer 6, the 1st interlayer insulation film 8 is formed, the data line 9 which consists of a metal layer which makes aluminum a subject on this insulator layer 8 is formed in the direction which intersects the above-mentioned scanning line 4 as shown in drawing 2, and the data line 9 is electrically connected to source field 5a in the contact hole 10 formed in the insulator layer 8.

[0027] The above-mentioned insulator layer 8 deposited upwards about 1000Å (silicon oxide film formed by the elevated-temperature CVD method) for example, of HTO film, deposits the BPSG film (silicate glass film including boron and Lynn) on

thickness like 8000-10000Å, and is formed. The metal layer constituted [above-mentioned] data-line 9 is made into 4 layer structures of Ti/TiN/aluminum/TiN from a lower layer. As for each class, let lower layer Ti be 100-600Å and the thickness [as / whose TiN of 4000-10000Å and the upper layer about 1000Å and aluminum is 300-600Å for TiN].

[0028] If it applies on an interlayer insulation film 8 from the above-mentioned data line 7, the 2nd interlayer insulation film 11 is formed. This 2nd interlayer insulation film 11 deposited upwards about 3000-6000Å (the TEOS film is called hereafter) of silicon oxide film which is made from TEOS (tetraethyl orthochromatic silicate), and is formed by the plasma-CVD method, deposits the SOG film (spin-on glass membrane), and after it deletes it with etchback, further, on it, the 2nd TEOS film is deposited on the thickness of about 2000-5000Å, and it is formed.

[0029] In this example, the pixel electrode 12 as a reflector of the shape of a rectangle corresponding to about 1 pixel is formed as shown on the 2nd interlayer insulation film 11 of the above at drawing 2. And the contact hole 13 which penetrates the 2nd interlayer insulation film 11 of the above, the 1st interlayer insulation film 8, and gate dielectric film 2 is formed, and the above-mentioned pixel electrode 12 is electrically connected to the above-mentioned drain field 5b in this contact hole 13. Although especially the above-mentioned pixel electrode 12 is not limited, it forms an aluminum layer in thickness like 300-5000Å, for example by the low-temperature spatter, and is made a configuration like a square where one side is about 15-20 micrometers by patterning. Moreover, a passivation membrane is formed on the above-mentioned pixel electrode 12, the orientation film is extensively formed on it, and rubbing processing is carried out.

[0030] Drawing 2 is the flat-surface layout of the liquid crystal panel substrate by the side of the reflection shown in drawing 1. In this example, the conductive layer 6 used as one electrode of retention volume is formed in that near along with the gate line 4 as shown in this drawing. However, drain extension 5b' as an electrode of another side of retention volume which counters this conductive layer 6 and this, and is established in a substrate front face can be formed under [whole] the reflector 12 except the formation part of gate electrode 4a of MOSFET, and contact holes 10 and 13.

[0031] In this example, since it is not necessary to form the capacity line which connects between the conductive layers 6 used as one electrode of the retention volume of each pixel, while the structure of a pixel becomes easy and the yield improves, the

irregularity of the front face of an insulator layer 11 becomes small, and it becomes easy to form the flat reflector 12. Moreover, since there is no capacity line which intersects the data line, unnecessary parasitic capacitance is attached to the data line, the load of a driver increases or a noise stops being able to go into retention volume easily through coupling capacity. Insulator layer 3' which constitutes the dielectric of the above-mentioned retention volume furthermore, the gate dielectric film 3 formed between the gate electrode of MOSFET, and a channel field and the insulator layer formed in coincidence. Moreover, since the conductive layer 6 which constitutes one electrode of the above-mentioned retention volume used the conductive layer formed in gate electrode 4a of MOSFET, and coincidence, respectively, retention volume can be constituted without making the routing counter of a process increase, and it becomes possible to simplify a process.

[0032] In addition, it is filled up with the connecting plug of the shape of a column which consists of refractory metals, such as a tungsten, in the above-mentioned contact hole 13, and you may make it connect the above-mentioned pixel electrode 12 to the above-mentioned drain field 5b through this connecting plug. In this case, although especially the above-mentioned pixel electrode 12 is not limited, after putting the tungsten which constitutes a connecting plug with a CVD method, a tungsten and the 2nd interlayer insulation film 11 -- CMP (chemical mechanical polishing), after deleting and carrying out flattening by law. After putting and forming an aluminum layer, carrying out flattening of the 2nd interlayer insulation film by the CMP method, carrying out opening of the contact hole 13 and being filled up with a tungsten into it, you may make it form the aluminum layer which constitutes the pixel electrode 12.

[0033] Moreover, although the above-mentioned example explained the case where used MOSFET for pixel switching as the N channel mold, and the semiconductor region (5b') used as one electrode of retention volume was used as an N type impurity installation layer, it is also possible to make the semi-conductor substrate 1 into an N type substrate or an N type well, to use MOSFET for pixel switching as a P channel mold, and to use the semiconductor region (5b') used as one electrode of retention volume as a P type impurity installation layer. In this case, the contact field 7 serves as an N type impurity installation layer, and the potential supplied here turns into high power-source potential.

[0034] Moreover, although the above-mentioned example explained the thing in which MOSFET for pixel switching was formed on the

semi-conductor substrate front face, it is applicable also to what forms the well field of a different conductivity type from a substrate in the front face of a semi-conductor substrate, and formed MOSFET for pixel switching in the front face of this well field. In that case, the well field of MOSFET which constitutes a circumference circuit is [the well field of a pixel field] good to consider as the separated well field.

[0035] Furthermore, since a circumference circuit is driven on a small electrical potential difference like 5V to a big electrical potential difference like 15V being impressed to gate electrode 4a of MOSFET for pixel switching, the gate dielectric film of FET which constitutes a circumference circuit is formed more thinly than the gate dielectric film of FET for pixel switching, the property of FET is raised, and the technique of raising the working speed of a circumference circuit can be considered. When such a technique is applied, thickness of the gate dielectric film of FET which constitutes a circumference circuit can be set to about $1/3 \sim 1$ (for example, 80-200Å)/5 of the thickness of the gate dielectric film of FET for pixel switching from pressure-proofing of gate dielectric film.

[0036] In the 1st example, by the way, the electrical potential difference impressed to inter-electrode [of retention volume] About 5V of the difference of the picture signal electrical potential difference V_d and the main potential V_c of a picture signal which are impressed to the data line as shown in drawing 7 (although only ΔV is shifted from V_c , LC common potential LC-COM impressed to the common electrode 37 prepared in the opposite substrate 38 of the liquid crystal panel of drawing 6) the electrical potential difference actually impressed to a pixel electrode is also set to $V_d - \Delta V$ of which ΔV shift was done -- it is . In the 1st example, then, the polish recon which constitutes one electrode 6 of retention volume or the insulator layer 3 directly under a metal silicide layer. By forming in the gate dielectric film and coincidence of FET which constitutes not gate dielectric film but the circumference circuit of FET for pixel switching, insulator layer thickness of retention volume can be set to $1/3 \sim 1/5$ compared with the above-mentioned example, and capacity value can also be increased 3 to 5 times by this. In addition, V_G of drawing 7 is a gate signal supplied to gate electrode 4a of FET for pixel switching through the gate line 4.

[0037] Moreover, you may make it constitute from the polish recon or the metal silicide layer which constitutes the polish recon which constitutes the gate electrode of FET for pixel switching for the conductive layer 6 used as one electrode of the

above-mentioned retention volume, or not a metal silicide layer but the gate electrode of MOSFET which constitutes a circumference circuit.

[0038] Drawing 3 and drawing 4 show the 2nd example of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention. Drawing 3 is the sectional view of MOSFET for pixel switching. This example sets MOSFET for switching in the 1st example to CMOS. The source of N-channel metal oxide semiconductor FET, a drain field, and 4a are 5a, and 5b is the gate electrode. These are the same configurations as MOSFET [in / except for the point currently formed in the front face of P well field 21 formed in the semi-conductor substrate 1 / the 1st example] for switching.

[0039] On the other hand, in this example, the source of P channel MOSFET, the drain fields 25a and 25b, and gate electrode 24a of those are formed in that near in parallel to above-mentioned N-channel metal oxide semiconductor FET. The source and the drain fields 25a and 25b are P type impurity installation layers, and are formed on N well field 22 formed in the substrate front face. P well field 21 and N well field 22 are formed so that the pixel which adjoins a pixel line writing direction (the direction of a gate line) respectively may be followed. Gate electrode 24a of P channel MOSFET is formed so that it may project from the 2nd gate line 24 arranged in parallel with the 1st gate line 4 by the side of N-channel metal oxide semiconductor FET, by impressing the signal impressed to the 1st gate line 4, and the signal of opposition to the 2nd gate line 24, it is turned on and off control of P channel MOSFET and N-channel metal oxide semiconductor FET is carried out at coincidence.

[0040] The source of the above-mentioned P channel MOSFET and the drain fields 25a and 25b are formed in self align by performing ion implantation of a P type impurity by using gate electrode 24a as a mask, where an N-channel metal oxide semiconductor FET top is covered by a resist etc. By extending impurity installation layer 5b which constitutes the drain field of N-channel metal oxide semiconductor FET, forming a conductive layer 6 through insulator layer 3' on that extension 5b', and connecting this conductive layer 6 to the P type well field 21 through contact hole 3a and the P type contact field 7 of high high impurity concentration, it consists of examples of drawing so that that potential may be fixed. The P channel MOSFET side is considered as the configuration in which the drain field 25b was connected to the reflector 12 only through the contact hole 13.

[0041] the ground line to which the above-mentioned P well field 21 and N well field

22 are formed in so that the well field of the pixel field which adjoins along the arrangement direction (scanning direction) of the each above-mentioned gate lines 4 and 24 may be followed, and P well field 21 supplies touch-down potential on the outside of a pixel field -- moreover, N well field 22 is connected to power-source Rhine which supplies the high supply voltage Vcc, respectively. In addition, in drawing 3, 14 is a channel stopper layer.

[0042] Moreover, although not limited especially, the source drain field of MOSFET which constitutes the circumference circuit of this example may be formed with a self-align technique. Furthermore, it may be made to make any source drain field of MOSFET into LDD (Rheydt Lee doped drain) structure. In addition, FET for pixel switching is good to consider as offset (structure which gave distance between the gate electrode and the source drain field) in consideration of driving on a big electrical potential difference, and having to prevent leakage current.

[0043] Moreover, in drawing 3 and drawing 4, although N type impurity installation layer 5b' and the introductory layer 6 constitute retention volume, as it extends P type impurity installation layer 25b similarly, forms extension 25b' and forms the conductive layer which was able to give potential from the N well 22 through the insulator layer 3, it may form capacity in both P well and N well.

[0044] Drawing 5 shows the flat-surface layout configuration of the whole substrate for liquid crystal panels (reflector side substrate) which applied the above-mentioned example.

[0045] In this example, the light-shielding film 26 which prevents that light carries out incidence is formed in the circumference circuit established in the periphery section of a substrate as shown in drawing 5. A circumference circuit is prepared around the pixel field 20 where the above-mentioned pixel electrode has been arranged in the shape of a matrix. The gate line drive circuit 32 and the pad field 33 which scan in order the data-line drive circuit 31 which supplies the picture signal according to image data, and the gate line 4 are minded [above-mentioned / 8]. It is the circuit of timing control circuit 35 grade which controls the input circuits 34 which incorporate the image data inputted from the outside, and these circuits. These circuits use as an active element or a switching element MOSFET formed at the same process as MOSFET for pixel electrode switching, and it consists of combining load components, such as resistance and capacity, with this.

[0046] In this example, the above-mentioned

light-shielding film 26 consists of aluminum layers formed at the same process as the pixel electrode 12 shown in drawing 1, and it is constituted so that predetermined potentials, such as supply voltage, and main potential of a picture signal or LC common potential, may be impressed. Compared with the case where they are floating and other potentials, reflection can be lessened by impressing predetermined potential to a light-shielding film 26.

[0047] Drawing 6 shows the cross-section configuration of the reflective mold liquid crystal panel 30 which applied the above-mentioned substrate for liquid crystal panels. As shown in drawing 6, the support substrate 36 which consists of glass or a ceramic has pasted up the liquid crystal panel 30 on the rear face of the semi-conductor substrate 1 with adhesives. With this, the glass substrate 38 by the side of the incidence which has the counterelectrode 37 which is from the transparence electric conduction film (ITO) with which LC common potential is impressed on the front-face side sets suitable spacing, and is arranged. Or it fills up with SH (Super Homeotropic) mold liquid crystal 40 with which perpendicular orientation of the liquid crystal molecule was mostly carried out in the state of no electrical-potential-difference impressing. TN (Twisted Nematic) mold liquid crystal of common knowledge in the gap by which the closure was carried out by the sealant 39 in the perimeter -- or -- as a liquid crystal panel It is constituted. In addition, a signal is inputted from the exterior or the location in which a sealant is prepared so that the pad field 33 may come to the outside of the above-mentioned sealant 39 is set up.

[0048] The light-shielding film 26 on a circumference circuit is constituted so that liquid crystal 40 may be intervened and it may counter with a counterelectrode 37. And if LC common potential is impressed to a light-shielding film 26, since LC common potential will be impressed to a counterelectrode 37, direct current voltage is no longer impressed to the liquid crystal which intervenes between them. Therefore, whenever it is a TN liquid crystal, about 90 degrees of liquid crystal molecules will serve as as [distorted], and if it is an SH liquid crystal, a liquid crystal molecule will be maintained at the condition that perpendicular orientation was always carried out.

[0049] In this example, since the support substrate 36 with which the above-mentioned liquid crystal panel substrate 30 which consists of a semi-conductor substrate becomes that rear face from glass or a ceramic is joined by adhesives, that reinforcement is raised remarkably. Consequently, since the support substrate 36 is joined to the

liquid crystal panel substrate 30, when it is made to perform lamination with an opposite substrate, there is an advantage that a gap becomes homogeneity over the whole panel.

[0050] Drawing 8 is an example of electronic equipment which used the liquid crystal panel of this invention, and is the outline block diagram which looked at superficially the important section of a projector (projection mold display) using the reflective mold liquid crystal panel of this invention as a light valve. This drawing 8 is a sectional view in XZ flat surface passing through the core of an optical element 130. The projector of this example S polarization flux of light by which outgoing radiation was carried out from the light source section 110 arranged in accordance with the system optical axis L, the integrator lens 120, the polarization lighting system 100 by which an outline configuration is carried out from the polarization sensing element 130, and the polarization lighting system 100 according to S polarization flux of light reflector 201. The inside of the light reflected from S polarization reflector 201 of a polarization beam splitter 200 and a polarization beam splitter 200 to reflect, High-reflective-liquid-crystal light valve 300B which modulates blue glow for the dichroic mirror 412 which separates the component of blue glow (B), and the separated blue glow (B), High-reflective-liquid-crystal light valve 300R which modulates the dichroic mirror 413 which is made to reflect the component of red light (R) among the flux of lights after blue glow was separated, and is separated, and the separated red light (R), High-reflective-liquid-crystal light valve 300G which modulate the remaining green light (G) which penetrates a dichroic mirror 413, The light modulated with three high-reflective-liquid-crystal light valves 300R, 300G, and 300B is compounded by dichroic mirrors 412 and 413 and the polarization beam splitter 200, and it consists of incident light study systems 500 which consist of a projector lens which projects this synthetic light on a screen 600. The above-mentioned liquid crystal panel is used for the three above-mentioned high-reflective-liquid-crystal light valves 300R, 300G, and 300B, respectively.

[0051] The random polarization flux of light by which outgoing radiation was carried out from the light source section 110 results in a polarization beam splitter 200, after being divided into two or more middle flux of lights by the integrator lens 120, and being changed into one kind of polarization flux of light (S polarization flux of light) to which the polarization direction was mostly equal with the polarization sensing element 130 which has the 2nd integrator lens in

an optical incidence side. It is reflected by S polarization flux of light reflector 201 of a polarization beam splitter 200, the flux of light of blue glow (B) is reflected in the blue glow reflecting layer of a dichroic mirror 412 among the reflected flux of lights, and S polarization flux of light by which outgoing radiation was carried out from the polarization sensing element 130 is modulated by high-reflective-liquid-crystal light valve 300B. Moreover, among the flux of lights which penetrated the blue glow reflecting layer of a dichroic mirror 411, it is reflected in the red light reflex layer of a dichroic mirror 413, and the flux of light of red light (R) is modulated by high-reflective-liquid-crystal light valve 300R.

[0052] On the other hand, the flux of light of the green light (G) which penetrated the red light reflex layer of a dichroic mirror 413 is modulated by high-reflective-liquid-crystal light valve 300G. Thus, the TN liquid crystal (liquid crystal with which orientation of the major axis of a liquid crystal molecule was carried out to the panel substrate [abbreviation] at the time of no electrical-potential-difference impressing), or the SH liquid crystal (liquid crystal with which orientation of the major axis of a liquid crystal molecule was carried out to the panel substrate at the abbreviation perpendicular at the time of no electrical-potential-difference impressing) is used for the reflective mold liquid crystal panel which serves as the modulation high-reflective-liquid-crystal light valves 300R, 300G, and 300B with each high-reflective-liquid-crystal light valve 300R, 300G, and 300B.

[0053] When a TN liquid crystal is adopted, the applied voltage to the liquid crystal layer pinched between the reflector of a pixel and the common electrode of the substrate which counters in the pixel below the threshold electrical potential difference of liquid crystal (OFF pixel) Elliptically polarized light of the colored light which carried out incidence is carried out by the liquid crystal layer, it is reflected by the reflector and it is carried out reflection and outgoing radiation through a liquid crystal layer as a light of the condition near elliptically polarized light with many polarization shaft components which shifted from the polarization shaft of the colored light which carried out incidence about 90 degrees. On the other hand, by the pixel (ON pixel) by which electrical-potential-difference impression was carried out, it is resulted and reflected in a liquid crystal layer by the reflector with the colored light which carried out incidence, and is made it reflection and outgoing radiation with the same polarization shaft as the time of incidence. Since the array include angle of the liquid crystal

molecule of a TN liquid crystal changes according to the electrical potential difference impressed to the reflector, according to the electrical potential difference impressed to a reflector through the transistor of a pixel, adjustable [of the include angle of the polarization shaft of the reflected light to incident light] is carried out.

[0054] Moreover, when an SH liquid crystal is adopted, by the pixel below the threshold electrical potential difference of liquid crystal (OFF pixel), it is resulted and reflected by the reflector with the colored light which carried out incidence, and applied voltage of a liquid crystal layer is carried out reflection and outgoing radiation with the same polarization shaft as the time of incidence. On the other hand, elliptically polarized light of the colored light which carried out incidence is carried out to a liquid crystal layer in a liquid crystal layer by the pixel (ON pixel) by which electrical-potential-difference impression was carried out, and it is reflected by the reflector and carries out reflection and outgoing radiation through a liquid crystal layer as elliptically polarized light with many polarization shaft components from which the polarization shaft shifted about 90 degrees to the polarization shaft of incident light. Since the array include angle of the liquid crystal molecule of a TN liquid crystal changes like the case of a TN liquid crystal according to the electrical potential difference impressed to the reflector, according to the electrical potential difference impressed to a reflector through the transistor of a pixel, adjustable [of the include angle of the polarization shaft of the reflected light to incident light] is carried out.

[0055] S polarization component does not penetrate the polarization beam splitter 200 which reflects S polarization among the colored light reflected from the pixel of these liquid crystal panels, but, on the other hand, P polarization component is penetrated. An image is formed of the light which penetrated this polarization beam splitter 200. Therefore, when the image on which it is projected uses a TN liquid crystal for a liquid crystal panel, the reflected light of an OFF pixel results in the incident light study system 500, and when it becomes the Nor Marie White display since the reflected light of ON pixel did not result in the lens, and it uses an SH liquid crystal, since it does not result in an incident light study system but the reflected light of ON pixel results in the incident light study system 500, the reflected light of an OFF pixel serves as the Nor Marie Black display.

[0056] It can miniaturize a projector while it can project a high definition image, since a reflective mold liquid crystal panel can form more numbers

of pixels since a pixel is formed in a glass substrate using semiconductor technology compared with the active matrix liquid crystal panel in which the TFT array was formed, and it can also make panel size small.

[0057] It is the same electrical potential difference (for example, LC common potential.) in the counterelectrode formed in the location where the circumference circuit section of a liquid crystal panel is covered by the light-shielding film in as drawing 6 explained, and an opposite substrate counters. As long as it is the same potential, different potential from this is sufficient. However, since it becomes different potential from the counterelectrode of the pixel section, the counterelectrode of the pixel section turns into a separated circumference counterelectrode in this case. Since it is impressed, about 0 V is impressed to the liquid crystal which intervenes among both, and liquid crystal becomes the same as an OFF condition. Therefore, with the liquid crystal panel of a TN liquid crystal, to compensate for a normally white display, all the circumferences of an image field are made to a white display, and all the circumferences of an image field are made to a black display in the liquid crystal panel of an SH liquid crystal to compensate for a normally black display.

[0058] If the above-mentioned example is followed, while the electrical potential difference impressed to each pixel electrode of the reflective mold liquid crystal panels 111-113 will fully be held, since the reflection factor of a pixel electrode is very high, a clear image is acquired.

[0059] Drawing 9 is the external view showing the example of the electronic equipment using the reflective mold liquid crystal panel of this invention, respectively.

[0060] Drawing 9 (a) is the perspective view showing a cellular phone. 1000 shows the body of a cellular phone and 1001 of them is the liquid crystal display section which used the reflective mold liquid crystal panel of this invention.

[0061] Drawing 9 (b) is drawing showing wrist watch mold electronic equipment. 1100 is the perspective view showing the body of a clock. 1101 is the liquid crystal display section which used the reflective mold liquid crystal panel of this invention. Since this liquid crystal panel has a high definition pixel compared with the conventional clock display, it can also make television image display possible and can realize wrist watch mold television.

[0062] Drawing 9 (c) is drawing showing pocket mold information processors, such as a word processor and a personal computer. 1200 shows an information processor and the display for which 1202 used the input sections, such as a keyboard,

for and 1206 used the reflective mold liquid crystal panel of this invention, and 1204 show the body of an information processor. Since each electronic equipment is electronic equipment driven by the cell, a battery life can be prolonged if a reflective mold liquid crystal panel without a light source lamp is used. Moreover, like this invention, since a circumference circuit can be built in a panel substrate, components mark become fewer sharply and are made more lightweight-izing and a miniaturization.

[0063]

[Effect of the Invention] As explained above, this invention extends and forms in the semi-conductor substrate front face of the lower part of the pixel electrode used as a reflector the semiconductor region used as the active region (drain field) of the component (MOSFET) which switches a pixel electrode where high impurity concentration is comparatively high. The conductive layer which serves as one electrode of retention volume through an insulator layer is formed above this semiconductor region for every pixel. While making it connect with a semi-conductor substrate electrically through the high concentration semiconductor region of the conductivity type as this which was formed in the front face of a semi-conductor substrate with said same conductive layer Since it is made to connect with the electric supply layer which gives constant potential to the above-mentioned semi-conductor substrate on the outside of a pixel field electrically and potential was fixed While being able to obtain a big capacity in a comparatively small area and attaining contraction-ization of a component by this by forming retention volume in the bottom of a pixel electrode Since it becomes unnecessary by impressing substrate potential to one electrode of retention volume wiring for supplying potential to one electrode of retention volume While the structure of a pixel becomes easy and the yield improves, it is effective in the irregularity on the front face of an insulator layer becoming small, and flattening of a reflector becoming easy.

[0064] Moreover, since there is no capacity line which intersects the data line which supplies the signal impressed to each pixel electrode, while being able to reduce the parasitic capacitance of the data line and being able to mitigate the load of a driver, it is effective in a noise stopping being able to go into retention volume easily, and the potential of retention volume being stabilized.

[0065] The insulator layer which constitutes the dielectric of the above-mentioned retention volume furthermore, the gate dielectric film formed between the gate electrode of MOSFET, and a channel field and the insulator layer formed in coincidence Moreover, since the conductive

layer which constitutes one electrode of the above-mentioned retention volume used the conductive layer formed in the gate electrode and coincidence of MOSFET, respectively It is effective in the ability to manufacture the substrate for liquid crystal panels which has the retention volume of the above-mentioned configuration, without making the routing counter of a process increase.

[0066] Moreover, by using the above-mentioned switching element as the complementary transistor which comes to form a P channel mold transistor and an N channel mold transistor in one pixel, the level omission of the signal impressed from the data line to a pixel electrode can be reduced, the transistor for switching can be made to turn on with low gate voltage now, and it is effective in becoming possible to be able to lower pressure-proofing of the part transistor and to also manufacture a substrate according to a low proof-pressure process.

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the 1st example of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention.

[Drawing 2] The flat-surface layout pattern of the 1st example of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention.

[Drawing 3] The sectional view showing the 2nd example of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention.

[Drawing 4] The flat-surface layout pattern of the 2nd example of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel which applied this invention.

[Drawing 5] The top view showing the example of a layout configuration of the reflector side substrate of the liquid crystal panel of an example.

[Drawing 6] The sectional view showing an example of the reflective mold liquid crystal panel which applied the substrate for liquid crystal panels of an example.

[Drawing 7] The wave form chart showing the gate drive wave of FET for pixel electrode switching of a reflective mold liquid crystal panel and the example of a data-line drive wave which applied this invention.

[Drawing 8] It is the outline block diagram of a video projector as an example of a projection mold indicating equipment which applied the reflective mold liquid crystal panel of an example as a light valve.

[Drawing 9] (a), (b), and (c) are the external views showing the example of the electronic equipment

using the reflective mold liquid crystal panel of this invention, respectively.

[Drawing 10] The sectional view showing the example of a configuration of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel examined in advance of this invention.

[Drawing 11] The flat-surface layout pattern of the example of a configuration of the pixel field of the reflector side substrate of the reflective mold liquid crystal panel examined in advance of this invention.

[Description of Notations]

- 1 Semi-conductor Substrate
- 2 Field Oxide
- 3 Gate Dielectric Film
- 3' Insulator layer used as the dielectric of retention volume
- 4 Gate Line
- 4a Gate electrode
- 5a, 5b Source drain field
- 6 Electrode of Retention Volume (Conductive Layer)
- 7 Contact Field
- 8 1st Interlayer Insulation Film
- 9 Data Line
- 10 Contact Hole
- 11 2nd Interlayer Insulation Film
- 12 Reflector (Pixel Electrode)
- 13 Contact Hole
- 17 Electric Supply Section Contact Field
- A 19 Electric supply layer
- 20 Pixel Field
- 21 P Type Well Field
- 22 N Type Well Field
- 24 2nd Gate Line
- 25a, 25b Source drain field of P channel MOSFET
- 26 Light-shielding Film
- 30 Liquid Crystal Panel
- 31 Data-Line Drive Circuit
- 32 Gate Line Drive Circuit
- 33 Pad Field
- 34 Input Circuit
- 35 Timing Control Circuit
- 36 Support Substrate
- 37 Counterelectrode
- 38 Glass Substrate by the side of Incidence
- 39 Sealant
- 40 Liquid Crystal
- 110 Light Source Section
- 200 Polarization Beam Splitter
- 300 Light Valve (Reflective Mold Liquid Crystal Panel)
- 412,413 Dichroic mirror
- 500 Incident Light Study System
- 600 Screen

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293323

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

G 0 2 F 1/136

G 0 9 F 9/30

識別記号

5 0 0

3 3 8

F I

G 0 2 F 1/136

G 0 9 F 9/30

5 0 0

3 3 8

審査請求 未請求 請求項の数8 OL (全 11 頁)

(21) 出願番号

特願平9-103709

(22) 出願日

平成9年(1997)4月21日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 河内 裕二

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

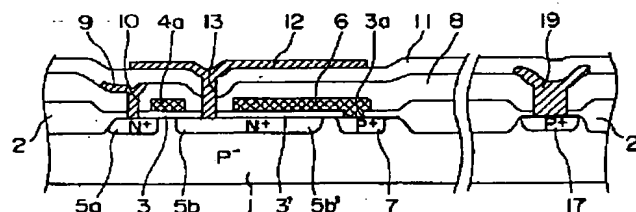
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶パネルおよび液晶パネル用基板および電子機器並びに投写型表示装置

(57) 【要約】

【課題】 アクティブマトリックス液晶パネルにおいては、各画素ごとに保持容量が形成され、この保持容量の一方の電極を定電位に固定する容量線がデータ線とが交差するためデータ線の寄生容量が増加するとともに、容量線とデータ線との間のカップリング容量を介して保持容量にノイズが入り電位が安定しなくなる。

【解決手段】 画素電極の下方の半導体基板の表面に画素電極をスイッチングするMOSFETのドレイン領域となる比較的不純物濃度の高い半導体領域を拡張形成して保持容量の一方の電極となし、この半導体領域の上方に絶縁膜を介して保持容量の他方の電極となる導電層を形成し、この導電層は半導体基板の表面に形成されたこれと同一導電型の高濃度コンタクト領域を介して半導体基板に電気的に接続させて保持容量の一方の電極に基板電位を印加するようにした。



(2)

【特許請求の範囲】

【請求項1】 半導体基板上に反射電極がマトリックス状に形成されるとともに各反射電極に対応して各々スイッチング素子が形成され、前記スイッチング素子を介して前記反射電極に電圧が印加されるように構成されるとともに、上記スイッチング素子のオン時に電荷が蓄積される保持容量が各画素ごとに設けられてなる液晶パネル用基板において、

上記反射電極の下方の半導体基板表面に上記スイッチング素子を構成する半導体領域と連続し保持容量の一方の電極となる比較的純物濃度の高い半導体領域が形成され、この半導体領域の上方に絶縁膜を介して上記保持容量の他方の電極となる導電層が各画素毎に形成され、前記導電層は上記半導体基板の表面に形成された高不純物濃度のコンタクト領域に接続され、該コンタクト領域を介して上記導電層に上記半導体基板と同一の電位が印加されるように構成されていることを特徴とする液晶パネル用基板。

【請求項2】 上記スイッチング素子は絶縁ゲート型電界効果トランジスタであり、上記保持容量の誘電体を構成する絶縁膜は上記トランジスタのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜であることを特徴とする請求項1に記載の液晶パネル用基板。

【請求項3】 上記スイッチング素子は絶縁ゲート型電界効果トランジスタであり、上記保持容量の他方の電極を構成する導電層は、上記トランジスタのゲート電極と同時に形成される導電層であることを特徴とする請求項1

または2に記載の液晶パネル用基板。

【請求項4】 上記スイッチング素子は絶縁ゲート型電界効果トランジスタであり、上記保持容量の一方の電極を構成する半導体領域は、上記トランジスタのドレインもしくはソース領域となる不純物導入層と同時に形成される不純物導入層であることを特徴とする請求項1、2または3に記載の液晶パネル用基板。

【請求項5】 上記スイッチング素子は、1つの画素にPチャネル型トランジスタとNチャネル型トランジスタとが形成されてなる相補型トランジスタであり、上記保持容量の一方の電極を構成する半導体領域は、上記相補型トランジスタのうちの一方のトランジスタのドレインもしくはソース領域となる不純物導入層と同時に形成される不純物導入層であることを特徴とする請求項1、2、3または4に記載の液晶パネル用基板。

【請求項6】 請求項1～5のいずれかに記載の液晶パネル用基板と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、上記液晶パネル用基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項7】 請求項6に記載の液晶パネルを表示部として備えていることを特徴とする電子機器。

【請求項8】 光源と、前記光源からの光を変調する請求項5に記載の構成の反射型液晶パネルと、該液晶パネルにより変調された光を集光し投写する投写レンズとを備えていることを特徴とする投写型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネルさらには反射型液晶パネルに関し、特に半導体基板上に形成された絶縁ゲート型電界効果トランジスタ（以下、MOS FETという）によって画素電極をスイッチングするアクティブマトリックス型液晶パネルに利用して好適な技術に関する。

【0002】

【従来の技術】従来、投射型表示装置のライトバルブに用いられる透過型アクティブマトリックス液晶パネルとしては、ガラス基板上にアモルファスシリコン又はポリシリコンを用いたTFTアレーを形成した構造の液晶パネルが実用化されている。

【0003】

【発明が解決しようとする課題】上記TFTを用いたアクティブマトリックス液晶パネルはデバイスサイズが比較的大きいため、例えばこれをライトバルブとして組み込んだプロジェクタのような投写型表示装置にあっては、装置全体が大型化してしまうという不具合がある。また、透過型液晶パネルの場合は、各画素に設けられたTFTの領域が光を透過させる画素の透過領域とならないため、パネルの解像度がXGA、SXGAと上がるにつれ、開口率が小さくなるという致命的な欠陥を有している。

【0004】そこで、透過型アクティブマトリックス液晶パネルに比べてサイズが小さい液晶パネルとして、半導体基板上に形成されたMOSFETアレーで反射電極となる画素電極をスイッチングするようにした反射型アクティブマトリックス液晶パネルが提案されている。

【0005】しかしながら半導体を基板とする液晶パネルにおいては、デバイスサイズの縮小と共にパネル解像度の増加に応じて各画素のサイズも小さくなるため、画素電極のみでは液晶の駆動に必要な電圧を保持するのに十分な容量（100fF程度が必要）が得られないという欠点がある。そこで、本発明者は、ゲート絶縁膜を誘電体とする保持容量を各画素に作り込む方法を検討した。

【0006】しかし、保持容量の一方の電極は定電位に固定されることが望ましいが、そのような定電位を各保持容量に供給するための配線（以下、容量線と称する）のレイアウトおよびコンタクトホール形成位置の確保が極めて困難であることを見出した。

【0007】図10および図11に、本発明に先立って本発明者が検討した半導体を基板とする反射型液晶パネルにおける保持容量の構造およびこの保持容量の一方の

(3)

3

電極に定電位を供給するための容量線のレイアウト方法の例を示す。図11は図10におけるA-A'、B-B'の不連続断面を連続的に示した断面図である。図10において、4aはスイッチング用MOSFETのゲート電極、9はスイッチング用MOSFETに画素に印加すべき信号を供給するデータ線、12はアルミニウム等からなる反射電極、6は保持容量の一方の電極となる導電層である。

【0008】図10の例では、反射電極12が接続されるドレイン領域としての拡散層5bを広く形成して保持容量の他方の電極となし、その上にゲート絶縁膜3を介して保持容量の一方の電極としての導電層6を例えばゲート電極と同一のポリシリコン層等によって形成する。そして、上記保持容量の一方の電極としての導電層6に定電位を与える方法として、図11に示すように、上記導電層6と同一のポリシリコン層からなる容量線16で隣接する画素の保持容量の電極としての導電層に接続し、画素領域の外側において上記容量線16を接地電位のような定電位を供給する配線に接続するというものである。

【0009】しかしながら、図10および図11に示すような方式にあっては、各画素の保持容量電極としての導電層の間に容量線が形成されるため、絶縁膜表面の凹凸が大きくなり反射電極の平坦化が困難になるという不都合がある。また、容量線16とデータ線9とが交差するためデータ線の寄生容量が増加するとともに、容量線16とデータ線9との間のカップリング容量を介して保持容量にノイズが入り電位が安定しなくなるという問題点がある。

【0010】この発明の目的は、半導体を基板とする反射型液晶パネルにおいて、保持容量の一方の電極に定電位を供給するための配線を不要にし歩留まりの向上を可能にする技術を提供することにある。

【0011】この発明の他の目的は、半導体を基板とする反射型液晶パネルにおいて、反射電極の平坦化を容易にする技術を提供することにある。

【0012】この発明の他の目的は、保持容量に印加される定電圧を安定化させることができる技術を提供することにある。

【0013】この発明の他の目的は、プロセスの工程数を増加させることなく必要な保持容量が得られるようにした技術を提供することにある。

【0014】

【課題を解決するための手段】この発明は、上記目的を達成するため、反射電極となる画素電極の下方の半導体基板表面に画素電極をスイッチングする素子(MOSFET)の活性領域(ドレイン領域)となる比較的純物濃度の高い半導体領域を拡張形成して保持容量の一方の電極となし、この半導体領域の上方に絶縁膜を介して保持容量の他方の電極となる導電層を形成し、前記導電層

4

は半導体基板の表面に形成されたこれと同一導電型の高濃度半導体領域を介して半導体基板に電気的に接続させるとともに、上記半導体基板には画素領域の外側において電位を与える給電層に電気的に接続するようにした。

【0015】上記した手段によれば、保持容量の一方の電極に基板電位が印加されることにより、保持容量の一方の電極に電位を供給するための容量線が不要となり、画素の構造が簡単になって歩留まりが向上するとともに、絶縁膜表面の凹凸が小さくなり反射電極の平坦化が容易となる。また、各画素電極に印加される信号を供給するデータ線と交差する容量線を形成する必要がなくなり、データ線の寄生容量を減らすことができるとともに、保持容量へのノイズを低減して電位を安定化させることができる。

【0016】なお、上記保持容量の誘電体を構成する絶縁膜はMOSFETのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜を、また上記保持容量の一方の電極を構成する導電層はMOSFETのゲート電極と同時に形成される導電層を、それぞれ用いるようにすると良い。

【0017】さらに、上記スイッチング素子は、1つの画素にPチャネル型トランジスタとNチャネル型トランジスタとが形成されてなる相補型トランジスタとする良い。

【0018】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0019】図1および図2は、本発明を適用した反射型液晶パネルの反射電極側基板の第1の実施例を示す。なお、図1および図2にはマトリクス状に配置されている画素のうち一画素部分の断面図と平面レイアウトを示す。図1は図2におけるI-I線に沿った断面を示す。

【0020】図1において、1は単結晶シリコンのようなP型半導体基板(P型ウェルでもよい)、2はこの半導体基板1の表面に形成された素子分離用のフィールド酸化膜(いわゆるLOCOS)である。このフィールド酸化膜2は、選択熱酸化によって5000~7000オングストロームのような厚さに形成される。

【0021】上記フィールド酸化膜2には一画素ごとに開口部が形成され、この開口部の内側の基板表面にゲート酸化膜(絶縁膜)3が形成され、このゲート絶縁膜3の上にポリシリコンあるいはメタルシリサイド等からなるゲート電極4aが形成され、このゲート電極4aの両側の基板表面には高不純物濃度のN型不純物導入層からなるソース、ドレイン領域5a、5bが形成され、MOSFETが構成されている。そして、この実施例では上記ソース、ドレイン領域5a、5bのうちドレイン領域5bが基板表面に沿って画素領域の内側に拡張され、この拡張部5b'の上方にゲート絶縁膜3と同時に形成さ

(4)

5

れた絶縁膜3'を介して、保持容量の一方の電極となる導電層6が形成されている。

【0022】この導電層6は、特に限定されるものではないが、上記ゲート電極4aと同一のポリシリコンあるいはメタルシリサイドから形成される。上記ゲート電極4aは、図2に示すように、基板の一方方向（画素行方向）に配設されている走査線4から突出するように形成されている。

【0023】また、上記導電層6の一部に対応して基板表面にはオーミック接触を図るための高濃度のP型不純物導入層からなるコンタクト領域7が形成され、上記導電層6の一端はこのコンタクト領域7に対応して上記絶縁膜3'に形成された開口部3aにてコンタクト領域7に接続されている。上記半導体基板1上には、画素領域の外側において定電位（P型基板/P型ウェルの場合は接地電位）を与える給電層19と該給電層19が電気的に接続される高不純物濃度のP型コンタクト領域17とが設けられ、PN接合に逆バイアスを与えるための定電位が印加されており、上記導電層6には上記コンタクト領域7を介して上記給電層19から与えられた基板電位が印加され、電位が固定されるように構成されている。上記給電層19は、上記データ線9と同一のアルミニウム層等により形成される。

【0024】上記絶縁膜3、3'は熱酸化によって上記開口部の内側半導体基板表面に400～800オングストロームのような厚さに形成される。上記ゲート電極4aおよび導電層6は、ポリシリコン層を1000～2000オングストロームのような厚さに形成しその上にMoあるいはWのような高融点金属のシリサイド層を1000～3000オングストロームのような厚さに形成した構造とされている。上記ソース領域5'aは、上記ゲート電極4aをマスクとして基板表面にN型不純物をイオン打ち込みで注入することで自己整合的に形成される。

【0025】また、上記N型ドレイン領域5bおよびP型コンタクト領域7は、この実施例では、専用のイオン打ち込みと熱処理によるドーピング処理で、それぞれゲート電極を形成する前にイオン注入法で形成される。ソース、ドレイン領域5a、5bの好ましい不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 、P型コンタクト領域7の好ましい不純物濃度は $1 \times 10^{18} \sim 10^{20} / \text{cm}^3$ である。なお、上記N型ドレイン領域5bおよびP型コンタクト領域7は、画素領域の外側に形成される後述の周辺回路を構成するMOSFETのソース、ドレイン領域となる不純物導入層と同時に形成するようにしても良い。

【0026】上記ゲート電極4aおよび導電層6からフィールド酸化膜2上にかけては第1の層間絶縁膜8が形成され、この絶縁膜8上にはアルミニウムを主体とするメタル層からなるデータ線9が、図2に示すように、上記走査線4と交差する方向に形成され、データ線9は絶

6

縁膜8に形成されたコンタクトホール10にてソース領域5aに電気的に接続されている。

【0027】上記絶縁膜8は、例えばHTO膜（高温CVD法により形成される酸化シリコン膜）を1000オングストローム程度堆積した上に、BPSG膜（ボロンおよびリンを含むシリケートガラス膜）を8000～10000オングストロームのような厚さに堆積して形成される。上記データ線9構成するメタル層は、例えば下層からTi/TiN/Al/TiNの4層構造とされる。各層は、下層のTiが100～600オングストローム、TiNが1000オングストローム程度、Alが4000～10000オングストローム、上層のTiNが300～600オングストロームのような厚さとされる。

【0028】上記データ線7から層間絶縁膜8上にかけては第2の層間絶縁膜11が形成されている。この第2層間絶縁膜11は、例えばTEOS（テトラエチルオルソシリケート）を材料としプラズマCVD法により形成される酸化シリコン膜（以下、TEOS膜と称する）を3000～6000オングストローム程度堆積した上に、SOG膜（スピノ・オン・ガラス膜）を堆積し、それをエッチバックで削ってからさらにその上に第2のTEOS膜を2000～5000オングストローム程度の厚さに堆積して形成される。

【0029】この実施例においては、上記第2層間絶縁膜11の上に図2に示されているように、ほぼ1画素に対応した矩形状の反射電極としての画素電極12が形成されている。そして、上記第2層間絶縁膜11、第1層間絶縁膜8およびゲート絶縁膜2を貫通するコンタクトホール13が設けられており、このコンタクトホール13にて上記画素電極12が上記ドレイン領域5bに電気的に接続されている。上記画素電極12は、特に限定されないが、例えば低温スパッタ法によりアルミニウム層を300～5000オングストロームのような厚さに形成し、パターニングによって一辺が15～20 μm 程度の正方形のような形状とされる。また、上記画素電極12の上には、パシベーション膜が形成されその上に配向膜が全面的に形成され、ラビング処理される。

【0030】図2は図1に示されている反射側の液晶パネル基板の平面レイアウトである。同図に示されているように、この実施例では、ゲート線4に沿ってその近傍に保持容量の一方の電極となる導電層6が設けられている。ただし、この導電層6およびこれに対向して基板表面に設けられる保持容量の他方の電極としてのドレイン拡張部5b'は、MOSFETのゲート電極4aとコンタクトホール10、13の形成箇所を除く反射電極12の下方全体に形成することができる。

【0031】この実施例においては、各画素の保持容量の一方の電極となる導電層6間を接続する容量線を設ける必要がないので、画素の構造が簡単となり歩留まりが

(5)

7
向上するとともに、絶縁膜11の表面の凹凸が小さくなり平坦な反射電極12を形成し易くなる。また、データ線と交差する容量線がないためデータ線に不要な寄生容量が付いて、ドライバの負荷が増大したりカップリング容量を介して保持容量にノイズが入ったりしにくくなる。さらに、上記保持容量の誘電体を構成する絶縁膜3'はMOSFETのゲート電極とチャネル領域との間に設けられるゲート絶縁膜3と同時に形成される絶縁膜を、また上記保持容量の一方の電極を構成する導電層6はMOSFETのゲート電極4aと同時に形成される導電層を、それぞれ用いるようにしたので、プロセスの工程数を増加させることなく保持容量を構成することができ、プロセスを簡略化することが可能となる。

【0032】なお、上記コンタクトホール13内にはタングステン等の高融点金属からなる柱状の接続プラグを充填し、この接続プラグを介して上記画素電極12を上記ドレイン領域5bに接続するようにしても良い。この場合、上記画素電極12は、特に限定されないが、接続プラグを構成するタングステン等をCVD法により被着した後、タングステンと第2層間絶縁膜11をCMP
(化学的機械研磨)法で削って平坦化してから、アルミニウム層を被着して形成しても良いし、CMP法で第2層間絶縁膜を平坦化してから、コンタクトホール13を開口し、その中にタングステンを充填した後、画素電極12を構成するアルミニウム層を形成するようにしても良い。

【0033】また、上記実施例では、画素スイッチング用MOSFETをNチャネル型とし、保持容量の一方の電極となる半導体領域(5b)をN型不純物導入層とした場合について説明したが、半導体基板1をN型基板又はN型ウェルとし、画素スイッチング用MOSFETをPチャネル型とし、保持容量の一方の電極となる半導体領域(5b')をP型不純物導入層とすることも可能である。この場合、コンタクト領域7はN型不純物導入層となり、ここに供給される電位は高電源電位となる。

【0034】また、上記実施例では、画素スイッチング用MOSFETを半導体基板表面に形成したものについて説明したが、半導体基板の表面に基板と異なる導電型のウェル領域を形成し、このウェル領域の表面に画素スイッチング用MOSFETを形成するようにしたものにも適用することができる。その場合、画素領域のウェル領域は、周辺回路を構成するMOSFETのウェル領域とは分離されたウェル領域とされるのが良い。

【0035】さらに、画素スイッチング用のMOSFETのゲート電極4aには、15Vのような大きな電圧が印加されるのに対し、周辺回路は5Vのような小さな電圧で駆動されるため、周辺回路を構成するFETのゲート絶縁膜を画素スイッチング用FETのゲート絶縁膜よりも薄く形成してFETの特性を向上させ周辺回路の動作速度を高めるという技術が考えられる。このような技

8
術を適用した場合、ゲート絶縁膜の耐圧から、周辺回路を構成するFETのゲート絶縁膜の厚みを画素スイッチング用FETのゲート絶縁膜の厚みの約3分の1～5分の1(例えば80～200オングストローム)にすることができる。

【0036】ところで、第1の実施例においては、保持容量の電極間に印加される電圧は、図7に示すように、データ線に印加される画像信号電圧Vdと画像信号の中心電位Vcとの差の約5V(図6の液晶パネルの対向基板38に設けられる共通電極37に印加されるLCコモン電位LC-COMはVcよりΔVだけシフトされているが、実際に画素電極に印加される電圧もΔVシフトしたVd-ΔVとなる)にすぎない。そこで、第1の実施例においては、保持容量の一方の電極6を構成するポリシリコンあるいはメタルシリサイド層直下の絶縁膜3を、画素スイッチング用FETのゲート絶縁膜でなく周辺回路を構成するFETのゲート絶縁膜と同時に形成することで、上記実施例に比べて保持容量の絶縁膜厚を3分の1～5分の1にすることができ、これによって容量値を3～5倍にすることもできる。なお、図7のVGは画素スイッチング用FETのゲート電極4aにゲート線4を介して供給されるゲート信号である。

【0037】また、上記保持容量の一方の電極となる導電層6を、画素スイッチング用FETのゲート電極を構成するポリシリコンあるいはメタルシリサイド層でなく、周辺回路を構成するMOSFETのゲート電極を構成するポリシリコンあるいはメタルシリサイド層で構成するようにしても良い。

【0038】図3および図4は、本発明を適用した反射型液晶パネルの反射電極側基板の第2の実施例を示す。図3は画素スイッチング用MOSFETの断面図である。本実施例は第1の実施例におけるスイッチング用MOSFETをCMOSとしたものである。5a、5bはNチャネルMOSFETのソース、ドレイン領域、4aはそのゲート電極である。これらは、半導体基板1に形成されたPウェル領域21の表面に形成されている点を除いて第1の実施例におけるスイッチング用MOSFETと同じ構成である。

【0039】一方、この実施例では、上記NチャネルMOSFETと並行してその近傍に、PチャネルMOSFETのソース、ドレイン領域25a、25bと、そのゲート電極24aが形成されている。ソース、ドレイン領域25a、25bはP型不純物導入層であり、基板表面に形成されたNウェル領域22上に形成されている。Pウェル領域21およびNウェル領域22は、各々画素行方向(ゲート線方向)に隣接する画素と連続するように形成されている。PチャネルMOSFETのゲート電極24aは、NチャネルMOSFET側の第1ゲート線4と平行に配設された第2ゲート線24から突出するように形成され、第2ゲート線24に第1ゲート線4に印加

(6)

9

される信号と逆相の信号が印加されることにより、PチャネルMOSFETとNチャネルMOSFETとは同時にオン、オフ制御される。

【0040】上記PチャネルMOSFETのソース、ドレイン領域25a、25bは、NチャネルMOSFETの上をレジスト等で覆った状態でゲート電極24aをマスクとしてP型不純物のイオン打込みを行なうことで自己整合的に形成される。図の実施例では、NチャネルMOSFETのドレイン領域を構成する不純物導入層5bを拡張してその拡張部5b'の上に絶縁膜3'を介して導電層6を形成し、この導電層6をコンタクトホール3aおよび高不純物濃度のP型コンタクト領域7を介してP型ウェル領域21に接続することにより、その電位を固定するように構成されている。PチャネルMOSFET側は、そのドレイン領域25bが単にコンタクトホール13を介して反射電極12に接続された構成とされている。

【0041】上記Pウェル領域21およびNウェル領域22は、各々上記ゲート線4、24の配設方向（走査方向）に沿って隣接する画素領域のウェル領域と連続するように形成され、画素領域の外側にて、Pウェル領域21は接地電位を供給するグラウンドラインに、またNウェル領域22は高電源電圧Vccを供給する電源ラインにそれぞれ接続される。なお、図3において、14はチャネルストップ層である。

【0042】また、特に限定されるものでないが、この実施例の周辺回路を構成するMOSFETのソース・ドレイン領域は自己整合技術で形成しても良い。さらに、いずれのMOSFETのソース・ドレイン領域もLDD（ライトリー・ドープト・ドレイン）構造とするようにしても良い。なお、画素スイッチング用FETは大きな電圧で駆動されること、リーク電流を防止しなければならないことを考慮して、オフセット（ゲート電極とソース・ドレイン領域間に距離を持たせた構造）とするとよい。

【0043】また、図3、図4では保持容量はN型不純物導入層5b'と導入層6により構成しているが、同様にP型不純物導入層25bを拡張して拡張部25b'を形成し、絶縁膜3を介してNウェル22から電位を与えられた導電層を形成するようにして、Pウェル及びNウェルの両方に容量を形成してもよい。

【0044】図5は上記実施例を適用した液晶パネル用基板（反射電極側基板）の全体の平面レイアウト構成を示す。

【0045】図5に示されているように、この実施例においては、基板の周縁部に設けられている周辺回路に光が入射するのを防止する遮光膜26が設けられている。周辺回路は、上記画素電極がマトリクス状に配置された画素領域20の周辺に設けられ、上記データ線8に画像データに応じた画像信号を供給するデータ線駆動回路

10

31やゲート線4を順番に走査するゲート線駆動回路32、パッド領域33を介して外部から入力される画像データを取り込む入力回路34、これらの回路を制御するタイミング制御回路35等の回路であり、これらの回路は画素電極スイッチング用MOSFETと同一工程で形成されるMOSFETを能動素子もしくはスイッチング素子とし、これに抵抗や容量などの負荷素子を組み合わせることで構成される。

【0046】この実施例においては、上記遮光膜26は、図1に示されている画素電極12と同一工程で形成されるアルミニウム層で構成され、電源電圧や画像信号の中心電位あるいはLCコモン電位等の所定電位が印加されるように構成されている。遮光膜26に所定の電位を印加することでフローティングや他の電位である場合に比べて反射を少なくすることができる。

【0047】図6は上記液晶パネル用基板を適用した反射型液晶パネル30の断面構成を示す。図6に示すように、液晶パネル30は、半導体基板1の裏面にガラスもしくはセラミック等からなる支持基板36が接着剤により接着されている。これとともに、その表面側には、LCコモン電位が印加される透明導電膜（ITO）からなる対向電極37を有する入射側のガラス基板38が適当な間隔をおいて配置され、周囲をシール材39で封止された間隙内に周知のTN（Twisted Nematic）型液晶またはまたは電圧無印加状態で液晶分子がほぼ垂直配向されたSH（Super Homeotropic）型液晶40などが充填されて液晶パネルとして構成されている。なお、外部から信号を入力したり、パッド領域33は上記シール材39の外側に来るようにシール材を設ける位置が設定されている。

【0048】周辺回路上の遮光膜26は、液晶40を介在して対向電極37と対向されるように構成されている。そして、遮光膜26にLCコモン電位を印加すれば、対向電極37にはLCコモン電位が印加されるので、その間に介在する液晶には直流電圧が印加されなくなる。よってTN型液晶であれば常に液晶分子がほぼ90°ねじれたままとなり、SH型液晶であれば常に垂直配向された状態に液晶分子が保たれる。

【0049】この実施例においては、半導体基板からなる上記液晶パネル基板30は、その裏面にガラスもしくはセラミック等からなる支持基板36が接着剤により接合されているため、その強度が著しく高められる。その結果、液晶パネル基板30に支持基板36を接合させてから対向基板との貼り合わせを行なうようにすると、パネル全体にわたってギャップが均一になるという利点がある。

【0050】図8は、本発明の液晶パネルを用いた電子機器の一例であり、本発明の反射型液晶パネルをライトバルブとして用いたプロジェクタ（投射型表示装置）の要部を平面的に見た概略構成図である。この図8は、光

(7)

11

学要素130の中心を通るXZ平面における断面図である。本例のプロジェクタは、システム光軸Lに沿って配置した光源部110、インテグレートレンズ120、偏光変換素子130から概略構成される偏光照明装置100、偏光照明装置100から出射されたS偏光光束をS偏光光束反射面201により反射させる偏光ビームスプリッタ200、偏光ビームスプリッタ200のS偏光反射面201から反射された光のうち、青色光(B)の成分を分離するダイクロイックミラー412、分離された青色光(B)を青色光を変調する反射型液晶ライトバルブ300B、青色光が分離された後の光束のうち赤色光(R)の成分を反射させて分離するダイクロイックミラー413、分離された赤色光(R)を変調する反射型液晶ライトバルブ300R、ダイクロイックミラー413を透過する残りの緑色光(G)を変調する反射型液晶ライトバルブ300G、3つの反射型液晶ライトバルブ300R、300G、300Bにて変調された光をダイクロイックミラー412、413、偏光ビームスプリッタ200にて合成し、この合成光をスクリーン600に投射する投射レンズからなる投射光学系500から構成されている。上記3つの反射型液晶ライトバルブ300R、300G、300Bには、それぞれ前述の液晶パネルが用いられている。

【0051】光源部110から出射されたランダムな偏光光束は、インテグレートレンズ120により複数の中間光束に分割された後、第2のインテグレートレンズを光入射側に有する偏光変換素子130により偏光方向がほぼ揃った種類の偏光光束(S偏光光束)に変換されてから偏光ビームスプリッタ200に至るようになってい30 る。偏光変換素子130から出射されたS偏光光束は、偏光ビームスプリッタ200のS偏光光束反射面201によって反射され、反射された光束のうち、青色光(B)の光束がダイクロイックミラー412の青色光反射層にて反射され、反射型液晶ライトバルブ300Bによって変調される。また、ダイクロイックミラー411の青色光反射層を透過した光束のうち、赤色光(R)の光束はダイクロイックミラー413の赤色光反射層にて反射され、反射型液晶ライトバルブ300Rによって変調される。

【0052】一方、ダイクロイックミラー413の赤色光反射層を透過した緑色光(G)の光束は反射型液晶ライトバルブ300Gによって変調される。このようにして、それぞれの反射型液晶ライトバルブ300R、300G、300Bによって変調反射型液晶ライトバルブ300R、300G、300Bとなる反射型液晶パネルは、TN型液晶(液晶分子の長軸が電圧無印加時にパネル基板に略並行に配向された液晶)またはSH型液晶(液晶分子の長軸が電圧無印加時にパネル基板に略垂直に配向された液晶)を採用している。

【0053】TN型液晶を採用した場合には、画素の反

12

射電極と、対向する基板の共通電極との間に挟持された液晶層への印加電圧が液晶のしきい値電圧以下の画素(OFF画素)では、入射した色光は液晶層により楕円偏光され、反射電極により反射され、液晶層を介して、入射した色光の偏光軸とほぼ90度ずれた偏光軸成分の多い楕円偏光に近い状態の光として反射・出射される。一方、液晶層に電圧印加された画素(ON画素)では、入射した色光のまま反射電極に至り、反射されて、入射時と同一の偏光軸のまま反射・出射される。反射電極に印加された電圧に応じてTN型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して反射電極に印加する電圧に応じて可変される。

【0054】また、SH型液晶を採用した場合には、液晶層の印加電圧が液晶のしきい値電圧以下の画素(OFF画素)では、入射した色光のまま反射電極に至り、反射されて、入射時と同一偏光軸のまま反射・出射される。一方、液晶層に電圧印加された画素(ON画素)では、入射した色光は液晶層にて楕円偏光され、反射電極により反射され、液晶層を介して、入射光の偏光軸に対して偏光軸がほぼ90度ずれた偏光軸成分の多い楕円偏光として反射・出射する。TN型液晶の場合と同様に、反射電極に印加された電圧に応じてTN型液晶の液晶分子の配列角度が変化するので、入射光に対する反射光の偏光軸の角度は、画素のトランジスタを介して反射電極に印加する電圧に応じて可変される。

【0055】これらの液晶パネルの画素から反射された色光のうち、S偏光成分はS偏光を反射する偏光ビームスプリッタ200を透過せず、一方、P偏光成分は透過30 する。この偏光ビームスプリッタ200を透過した光により画像が形成される。従って、投射される画像は、TN型液晶を液晶パネルに用いた場合はOFF画素の反射光が投射光学系500に至りON画素の反射光はレンズに至らないのでノーマリーホワイト表示となり、SH液晶を用いた場合はOFF画素の反射光は投射光学系に至らずON画素の反射光が投射光学系500に至るのでノーマリーブラック表示となる。

【0056】反射型液晶パネルは、ガラス基板にTFTアレーを形成したアクティブマトリクス型液晶パネルに比べ、半導体技術を利用して画素が形成されるので画素数をより多く形成でき、且つパネルサイズも小さくできるので、高精細な画像を投射できると共に、プロジェクタを小型化できる。

【0057】図6にて説明したように、液晶パネルの周辺回路部は遮光膜で覆われ、対向基板の対向する位置に形成される対向電極と共に同じ電圧(例えばLCコモン電位。同じ電位であればこれと異なる電位でも構わない。但し、画素部の対向電極と異なる電位となるので、この場合画素部の対向電極とは分離された周辺対向電極となる。)が印加されるので、両者間に介在する液晶に

50

13

はほぼ0Vが印加され、液晶はOFF状態と同じになる。従って、TN型液晶の液晶パネルでは、ノーマリホワイト表示に合わせて画像領域の周辺が全て白表示にでき、SH型液晶の液晶パネルでは、ノーマリブラック表示に合わせて画像領域の周辺が全て黒表示にできる。

【0058】上記実施例に従うと、反射型液晶パネル111～113の各画素電極に印加された電圧が十分に保持されるとともに、画素電極の反射率が非常に高いため鮮明な映像が得られる。

【0059】図9は、それぞれ本発明の反射型液晶パネルを使った電子機器の例を示す外観図である。

【0060】図9(a)は携帯電話を示す斜視図である。1000は携帯電話本体を示し、そのうちの1001は本発明の反射型液晶パネルを用いた液晶表示部である。

【0061】図9(b)は、腕時計型電子機器を示す図である。1100は時計本体を示す斜視図である。1101は本発明の反射型液晶パネルを用いた液晶表示部である。この液晶パネルは、従来の時計表示部に比べて高精細の画素を有するので、テレビ画像表示も可能とすることができ、腕時計型テレビを実現できる。

【0062】図9(c)は、ワープロ、パソコン等の携帯型情報処理装置を示す図である。1200は情報処理装置を示し、1202はキーボード等の入力部、1206は本発明の反射型液晶パネルを用いた表示部、1204は情報処理装置本体を示す。各々の電子機器は電池により駆動される電子機器であるので、光源ランプを持たない反射型液晶パネルを使えば、電池寿命を延ばすことが出来る。また、本発明のように、周辺回路をパネル基板上に内蔵できるので、部品点数が大幅に減り、より軽量化・小型化できる。

【0063】

【発明の効果】以上説明したように、この発明は、反射電極となる画素電極の下方の半導体基板表面に画素電極をスイッチングする素子(MOSFET)の活性領域(ドレイン領域)となる比較的純物濃度の高い半導体領域を拡張して形成し、この半導体領域の上方に絶縁膜を介して保持容量の一方の電極となる導電層を各画素毎に形成し、前記導電層は半導体基板の表面に形成されたこれと同一導電型の高濃度半導体領域を介して半導体基板上に電氣的に接続させるとともに、上記半導体基板には画素領域の外側において定電位を与える給電層に電氣的に接続させて電位を固定するようにしたので、画素電極下に保持容量を形成することにより、比較的小さな面積で大きな容量を得ることができ、これによって、素子の縮小化が可能となるとともに、保持容量の一方の電極に基板電位が印加されることにより、保持容量の一方の電極に電位を供給するための配線が不要となるので、画素の構造が簡単となり歩留まりが向上するとともに、絶縁膜表面の凹凸が小さくなり反射電極の平坦化が容易とな

(8)

14

るという効果がある。

【0064】また、各画素電極に印加される信号を供給するデータ線と交差する容量線がないため、データ線の寄生容量を減らしてドライバの負荷を軽減することができるとともに、保持容量にノイズが入りにくくなって保持容量の電位が安定するという効果がある。

【0065】さらに、上記保持容量の誘電体を構成する絶縁膜はMOSFETのゲート電極とチャネル領域との間に設けられるゲート絶縁膜と同時に形成される絶縁膜を、また上記保持容量の一方の電極を構成する導電層はMOSFETのゲート電極と同時に形成される導電層を、それぞれ用いるようにしたので、プロセスの工程数を増加させることなく、上記構成の保持容量を有する液晶パネル用基板を製造することができるという効果がある。

【0066】また、上記スイッチング素子を、1つの画素にPチャネル型トランジスタとNチャネル型トランジスタとが形成されてなる相補型トランジスタとすることにより、データ線から画素電極へ印加する信号のレベル落ちが低減され、低いゲート電圧でスイッチング用トランジスタをオンさせることができるようになり、その分トランジスタの耐圧を下げることができ低耐圧プロセスにより基板を製造することも可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第1の実施例を示す断面図。

【図2】本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第1の実施例の平面レイアウト図。

【図3】本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第2の実施例を示す断面図。

【図4】本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第2の実施例の平面レイアウト図。

【図5】実施例の液晶パネルの反射電極側基板のレイアウト構成例を示す平面図。

【図6】実施例の液晶パネル用基板を適用した反射型液晶パネルの一例を示す断面図。

【図7】本発明を適用した反射型液晶パネルの画素電極スイッチング用FETのゲート駆動波形およびデータ線駆動波形例を示す波形図。

【図8】実施例の反射型液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図である。

【図9】(a), (b), (c)は、それぞれ本発明の反射型液晶パネルを使った電子機器の例を示す外観図である。

【図10】本発明に先立って検討した反射型液晶パネルの反射電極側基板の画素領域の構成例を示す断面図。

【図11】本発明に先立って検討した反射型液晶パネルの反射電極側基板の画素領域の構成例の平面レイアウト

(9)

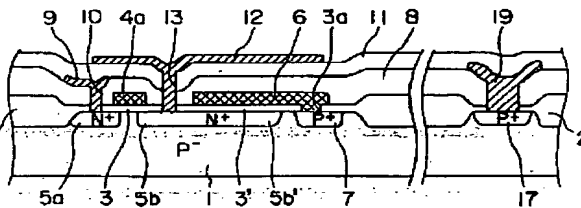
15

図。

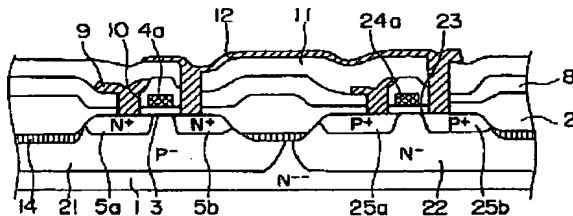
【符号の説明】

- 1 半導体基板
- 2 フィールド酸化膜
- 3 ゲート絶縁膜
- 3' 保持容量の誘電体となる絶縁膜
- 4 ゲート線
- 4 a ゲート電極
- 5 a, 5 b ソース・ドレイン領域
- 6 保持容量の電極（導電層）
- 7 コンタクト領域
- 8 第1層間絶縁膜
- 9 データ線
- 10 コンタクトホール
- 11 第2層間絶縁膜
- 12 反射電極（画素電極）
- 13 コンタクトホール
- 17 給電部コンタクト領域
- A 19 給電層
- 20 画素領域
- 21 P型ウェル領域
- 22 N型ウェル領域

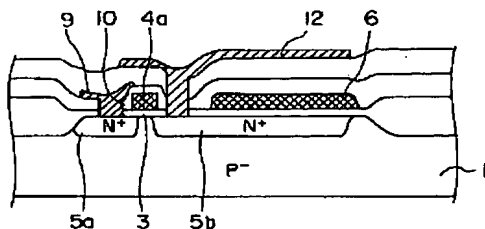
【図1】



【図3】



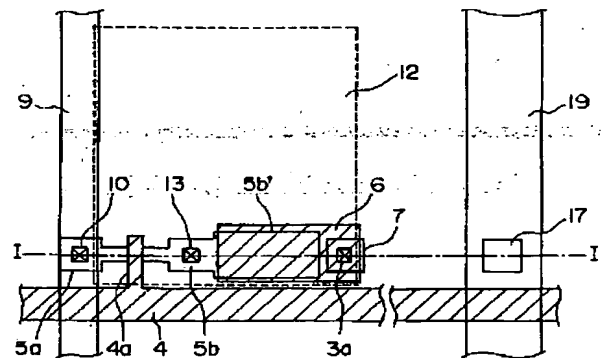
【図10】



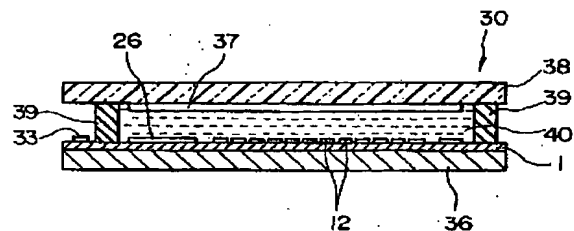
16

- 24 第2ゲート線
- 25 a, 25 b PチャネルMOSFETのソース・ドレイン領域
- 26 遮光膜
- 30 液晶パネル
- 31 データ線駆動回路
- 32 ゲート線駆動回路
- 33 パッド領域
- 34 入力回路
- 10 35 タイミング制御回路
- 36 支持基板
- 37 対向電極
- 38 入射側のガラス基板
- 39 シール材
- 40 液晶
- 110 光源部
- 200 偏光ビームスプリッタ
- 300 ライトバルブ（反射型液晶パネル）
- 412, 413 ダイクロイックミラー
- 20 500 投射光学系
- 600 スクリーン

【図2】

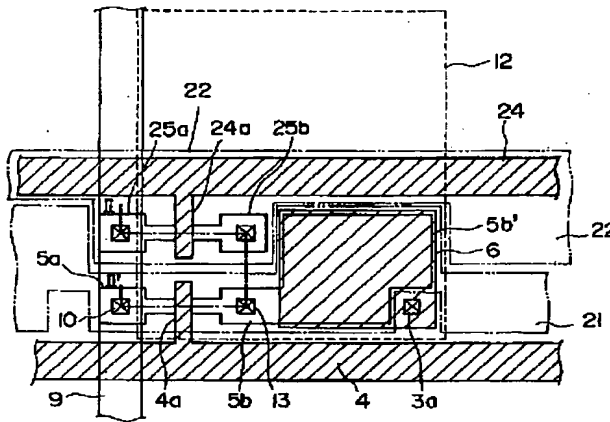


【図6】

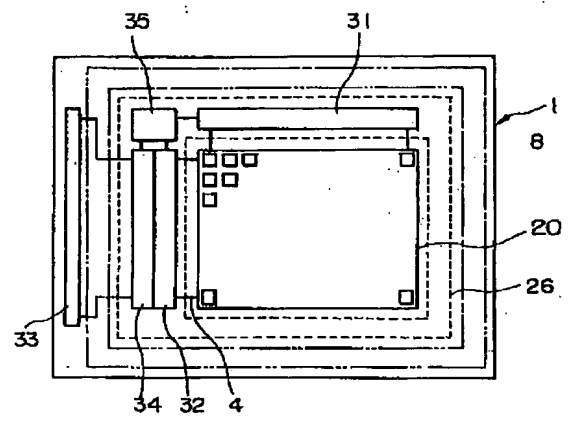


(10)

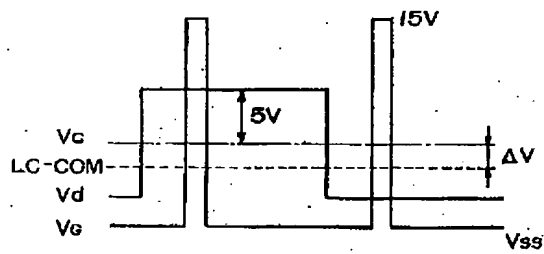
【図4】



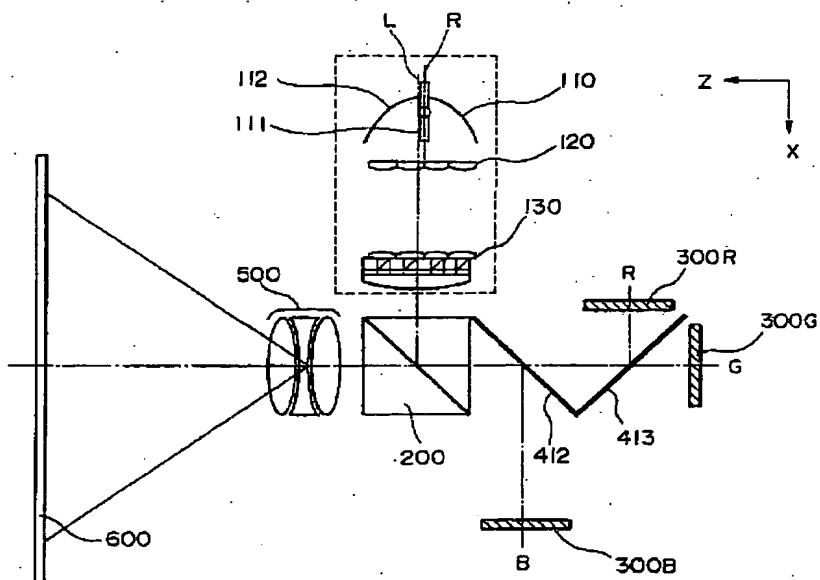
【図5】



【図7】

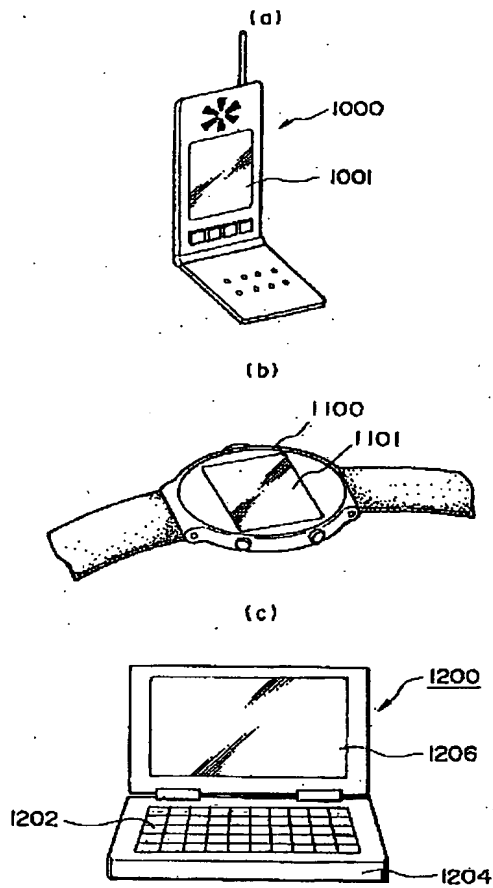


【図8】

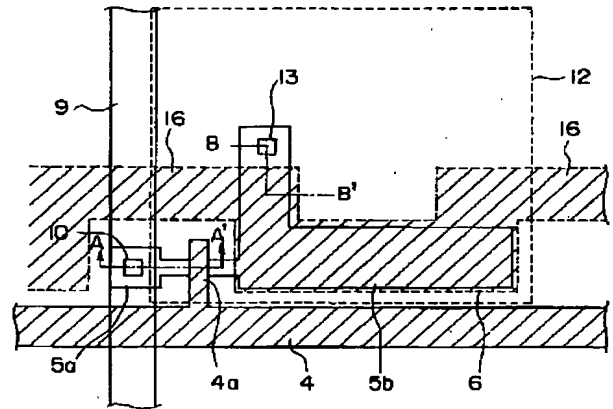


(11)

【図9】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.